



(19) RU<sup>(11)</sup> 2 128 398<sup>(13)</sup> C1

(51) МПК<sup>6</sup> H 04 L 7/02, 27/30

РОССИЙСКОЕ АГЕНТСТВО  
ПО ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ РОССИЙСКОЙ ФЕДЕРАЦИИ

(21), (22) Заявка: 97114716/09, 13.08.1997

(46) Дата публикации: 27.03.1999

(56) Ссылки: Гонзалес А., Руис В., Лопес М.И., Валдеалмиллос С. Моделирование устройства сложения за задержкой второго порядка в условиях многолучевого распространения сигнала, IEEE 0-7803-1266-X/93, 1993, p.887 - 889, фиг.1. Олмос Дж.Дж., Агусти Р. Анализ и проектирование схемы слежения за задержкой второго порядка в системе СДМА, IEEE 0-7803-2/92, p.221 - 224. Спилкер Ож. Цифровая спутниковая связь. - М.: Связь, 1979, с.387 - 404. Витерби А. Монография "СДМА" Принципы широкополосной связи". (СДМА. Principles of Spread Spectrum Communication), Copyright, 1995 by Addison Wesley Publishing Company, 1995. SU 801285 A, 30.01.81. SU 1069181 A1, 23.01.94. SU 915264 A, 23.03.82. US 4458206 A, 03.07.84.

(98) Адрес для переписки:  
349062 Воронеж, ул.Бульвар Фестивальный,  
д.8, Фурсовой В.А.

(71) Заявитель:  
Закрытое акционерное общество "Кодофон"

(72) Изобретатель: Гармонов А.В.,  
Другов М.И., Савинский П.Л., Сергиенко А.И.

(73) Патентообладатель:  
Закрытое акционерное общество "Кодофон"

(54) УСТРОЙСТВО СЛЕЖЕНИЯ ЗА ЗАДЕРЖКОЙ СИГНАЛА

(57) Реферат:

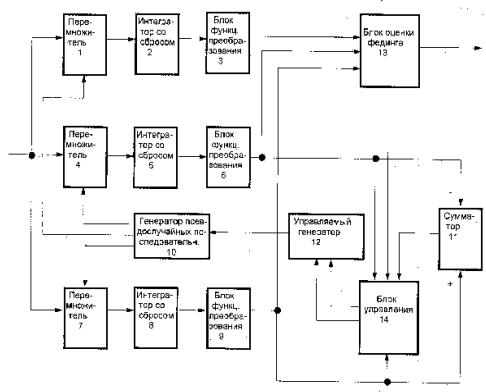
Изобретение относится к радиотехнике, в частности к устройствам временной синхронизации для систем связи, в том числе с широкополосными сигналами. Изобретение также относится, но не ограничивается этим, к сотовым устройствам радиосвязи множественного доступа с кодовым разделением каналов (СДМА), базовым и мобильным станциям, использующим методы временной синхронизации. Устройство слежения за задержкой сигнала содержит по меньшей мере три параллельные ветви обработки, первая ветвь из которых содержит первый перемножитель, а вторая и третья ветви - последовательно соединенные перемножитель, интегратор со сбросом и блок функционального преобразования. Новым в устройстве является то, что первая ветвь обработки сформирована аналогично второй и третьей ветвям, т.е. дополнительно содержит последовательно соединенные интегратор со сбросом и блок функционального преобразования, таким образом все три ветви обработки

одновременно выполняют эквивалентные функции преобразования входного сигнала. Кроме того, введены блок оценки фединга для выявления участков пропадания сигналов и формирования соответствующей команды управления -коммутации сигнала ошибки (текущего значения дискриминационной характеристики) и сигнала максимального значения взаимно корреляционной функции и блок управления для формирования кода частоты в зависимости от величины текущей расстройки и управления скоростью подстройки временного рассогласования. Технический результат - ускорение переходного процесса подстройки задержки при больших расстройках по времени за счет расширения полосы фильтра низкой частоты в кольце обратной связи и исключения влияния помех при наличии замираний в федингующих каналах связи, повышение точности оценки задержки за счет сужения полосы фильтра низкой частоты в кольце обратной связи и исключения влияния помех при наличии замираний в федингующих каналах связи. 5 з.п.ф-лы, 7 ил.

RU 2 1 2 8 3 9 8 C 1

RU 2 1 2 8 3 9 8 C 1

RU 2128398 C1



Фиг. 1

RU 2128398 C1



(19) **RU** <sup>(11)</sup> **2 128 398** <sup>(13)</sup> **C1**  
 (51) Int. Cl.<sup>6</sup> **H 04 L 7/02, 27/30**

RUSSIAN AGENCY  
 FOR PATENTS AND TRADEMARKS

(12) **ABSTRACT OF INVENTION**

(21), (22) Application: 97114716/09, 13.08.1997  
 (46) Date of publication: 27.03.1999  
 (98) Mail address:  
 349062 Voronezh, ul. Bul'var Festival'nyj,  
 d.8, Fursovoj V.A.

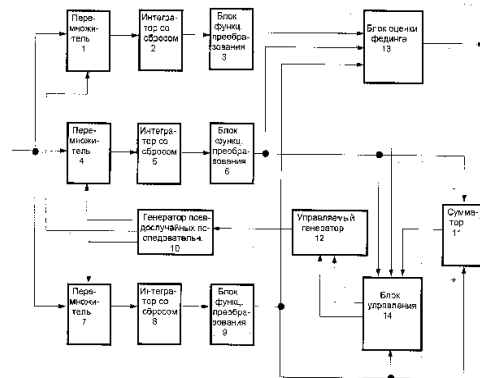
(71) Applicant:  
**Zakrytoe aktsionernoe obshchestvo "Kodofon"**  
 (72) Inventor: **Garmonov A.V.,  
 Drugov M.I., Savinskij P.L., Sergienko A.I.**  
 (73) Proprietor:  
**Zakrytoe aktsionernoe obshchestvo "Kodofon"**

(54) **DEVICE FOR TRACING SIGNAL DELAY**

(57) Abstract:

FIELD: radio engineering, in particular, temporal synchronization equipment for wide-band communication devices, as well as cellular communication devices using code-sharing multiple access, base and mobile stations using temporal synchronization methods. SUBSTANCE: device has at least three parallel processing branches. First branch has first multiplier, second and third branches have serial circuit of multiplier, resetting integrator and function generator. Goal of invention is achieved by design of first processing branches which is analogous to second and third branches. So it additionally has serial circuit of resetting integrator and function generator. This results in possibility of equivalent processing of input signal by all three branches. In addition device has fading evaluation unit in order to detect pieces in which signals fade and to generate corresponding control command for commutation of error signal (current value of discrimination characteristic) and signal for maximal value of relative correlation function, and control unit for generation of frequency code depending on value of current mismatch

and controlling rate of temporal mismatch. EFFECT: increased speed of delay tuning for heavy temporal mismatches due to increased band of low-pass filter in feedback circuit and exclusion of interference effect in cases of signal fading in fading communication channels, increased precision of delay estimation due to decreased band of low-pass filter in feedback circuit and exclusion of interference effect in cases of signal fading in fading communication channels. 6 cl, 7 dwg



Фиг. 1

RU 2 1 2 8 3 9 8 C 1

RU 2 1 2 8 3 9 8 C 1

Данное изобретение относится к радиотехнике, в частности к устройствам временной синхронизации для систем связи, в том числе с широкополосными сигналами. Изобретение также относится, но не ограничивается этим, к сотовым устройствам радиосвязи множественного доступа с кодовым разделением каналов (CDMA), базовым и мобильным станциям, использующим методы временной синхронизации.

Нестационарность реальных каналов связи, многолучевое распространение передаваемого сигнала, в том числе и в системах множественного доступа с кодовым разделением каналов (CDMA), накладывают жесткие требования к характеристикам современных систем слежения за задержкой. Успешная реализация, в частности, многолучевого приемника базовой станции и многолучевого приемника мобильной станции в системе множественного доступа с кодовым разделением каналов (CDMA) возможна при условии, что устройство слежения за задержкой сигнала будет удовлетворять противоречивым требованиям: высокой точности, высокому быстродействию и устойчивостью к федингу. При этом во время вхождения в синхронизм желательно, чтобы быстродействие устройства слежения за задержкой сигнала было максимальным. Но при этом должны быть оптимальными и фильтрующие свойства устройства для обеспечения минимальной ошибки при слежении за задержкой. Кроме того, замирания сигнала не должны приводить к возникновению больших ошибок оценки временных рассогласований в устройстве слежения за задержкой сигнала в условиях фединга, порождаемого многолучевым распространением сигнала в канале связи и в особенности для мобильных систем связи.

Решению проблемы временной синхронизации уделяется достаточно большое внимание в работе [1, Дж. Спилкер. Цифровая спутниковая связь. М. "Связь" 1979, с. 387 - 404].

Типичный вариант выполнения таких устройств слежения за задержкой сигнала рассмотрен в [2, монографии А. Витерби. "CDMA. Принципы широкополосной связи ("CDMA. Principles of Spread Spectrum Communication"), Copyright. 1995 by Addison-Wesley Publishing Company", 1995], где анализируется устройство слежения за задержкой типа "опережение-запаздывание" ("earlilate"), которое в условиях фединга работает недостаточно эффективно. Это связано с тем, что параметры этого устройства жестко фиксированы (т.е. не зависят от внешних условий: полоса фильтра в кольце обратной связи и коэффициент усиления постоянны), следовательно, фиксированы и ее возможности по динамическим и фильтрующим свойствам. В результате чего в условиях фединга это устройство работает либо неточно и со срывами слежения, либо с низким быстродействием.

Известно устройство слежения за задержкой [3, Дж. Дж. Олмос, Р. Агусти "Анализ и проектирование схемы слежения за задержкой второго порядка в системе CDMA", опубликованное в IEEE 0-7803-0673-2/92. 1992, p. 221 - 224], которое содержит три

параллельные ветви обработки, первая и вторая из которых содержат последовательно соединенные перемножитель, фильтр и квадратор в каждой ветви обработки, при этом перемножитель и фильтр в каждой ветви обработки выполняют функцию корреляторов, на выходе которых формируются значения взаимно корреляционных функций входного сигнала и его запаздывающей и опережающей копий, а третья ветвь обработки содержит перемножитель, на выходе которого появляется информационный сигнал, который содержится во входном широкополосном сигнале. Далее это устройство содержит генератор псевдослучайных последовательностей, сумматор, фильтр низкой частоты в кольце обратной связи и управляемый генератор.

Недостатком этого устройства является то, что при работе с высокой точностью в режиме слежения оно имеет длительный переходный процесс компенсации начальных расстройк по задержке, что обусловлено узкой полосой фильтра кольца регулирования. Кроме того, точность слежения существенно понижается в условиях фединга.

Фильтр низкой частоты кольца регулирования обеспечивает большую точность работы в режиме слежения при узкой полосе, но при этом увеличивается время переходного процесса компенсации начальных расстройк. Поэтому если нужно сократить время переходного процесса, то необходимо увеличить полосу фильтра, что приводит к ухудшению помехозащищенности, т.е. к увеличению среднеквадратичного значения сигнала ошибки.

Таким образом, это устройство не позволяет исключить влияние фединга на точность оценки задержки устройства слежения за задержкой в нестационарном канале связи. Следовательно, работа этого устройства является неэффективной в условиях фединга, порождаемого многолучевым распространением сигнала в канале связи.

Наиболее близким техническим решением к заявляемому изобретению является устройство, описанное в [4, А. Гонзалес, В. Руис, М.И. Лопес и С.Валдеолмиллос. Моделирование устройства слежения за задержкой второго порядка в условиях многолучевого распространения сигнала, опубликованное в IEEE 0-7803-1266-X/93]. Это устройство содержит три параллельные ветви обработки, первая и вторая из которых содержат последовательно соединенные перемножитель, фильтр и квадратор в каждой ветви обработки, при этом перемножитель и фильтр в каждой ветви обработки выполняют функцию корреляторов, на выходе которых формируются значения взаимно корреляционных функций входного сигнала и его запаздывающей и опережающей копий, а третья ветвь обработки содержит перемножитель, на выходе которого появляется информационный сигнал, который содержится во входном широкополосном сигнале. Квадратор в каждой ветви обработки используется для снятия модуляции соответствующих корреляционных функций информационным сигналом. Далее это устройство содержит генератор

псевдослучайных последовательностей, сумматор, фильтр низкой частоты в кольце обратной связи и управляемый генератор. При этом входами устройства являются первые входы перемножителей, вторые входы которых соединены с соответствующими им выходами генератора псевдослучайных последовательностей, выходы квадраторов соединены со входами сумматора, выход которого соединен со входом фильтра низкой частоты кольца обратной связи, выход которого подключен ко входу управляемого генератора, выход которого соединен со входом генератора псевдослучайных последовательностей.

Сумматор в этом устройстве используют для формирования дискриминационной характеристики устройства, которая представляет разность между запаздывающей и опережающей корреляционными функциями. Сигнал ошибки, возникающий на выходе этого сумматора, фильтруется в фильтре кольца и управляет частотой управляемого генератора, который генерирует сигнал тактовой частоты генератора псевдослучайной последовательности.

При совпадении псевдослучайной последовательности, генерируемой генератором псевдослучайной последовательности, с входным широкополосным сигналом величины взаимно корреляционных функций равны. Сигнал ошибки на выходе сумматора равен нулю, и управляемый генератор работает на тактовой частоте, которая равна тактовой частоте входного широкополосного сигнала.

При несовпадении тактовых частот принимаемого широкополосного сигнала, генерируемого генератором псевдослучайных последовательностей, величины взаимно корреляционных функций не равны в каналах опережения и отставания. На выходе сумматора накапливается сигнал ошибки знака преобладающей корреляционной функции, т. е. если преобладает корреляционная функция опережающей последовательности, то величина сигнала ошибки отрицательна и пропорциональна временному рассогласованию между принимаемым широкополосным сигналом и генерируемой последовательностью. В противоположном случае сигнал ошибки будет иметь противоположный знак.

Тактовая частота, генерируемая управляемым генератором, изменяется до тех пор, пока сигнал ошибки не станет равным нулю. При этом будет полное совпадение принимаемого широкополосного сигнала с генерируемой псевдослучайной последовательностью по задержке.

Недостатком этого устройства так же, как и предыдущего, является то, что оно при работе с высокой точностью в режиме слежения имеет длительный переходный процесс компенсации начальных расстройек по задержке, что обусловлено узкой полосой фильтра кольца регулирования, которая обеспечивает малое среднеквадратичное значение сигнала ошибки.

Фильтр низкой частоты кольца регулирования обеспечивает большую точность работы в режиме слежения при узкой полосе, но при этом увеличивается время переходного процесса компенсации

начальных расстроек. Если нужно сократить время переходного процесса, то необходимо увеличить полосу фильтра, что приводит к ухудшению помехозащищенности, т.е. к увеличению среднеквадратичного значения сигнала ошибки. А это приводит к уменьшению точности работы устройства слежения за задержкой, особенно в федингующих каналах связи, так как это устройство не позволяет исключить влияние фединга на точность оценки задержки в нестационарном канале связи.

Следовательно, работа этого устройства является неэффективной в условиях фединга, порождаемого многолучевым распространением сигнала в канале связи.

Поэтому в основу заявляемого технического решения положена задача создания такого устройства слежения за задержкой сигнала, которое позволило бы:

- ускорить переходный процесс подстройки задержки при больших расстройках по времени за счет расширения полосы фильтра низкой частоты в кольце обратной связи и исключения влияния помех при наличии замираний в федингующих каналах связи;

- повысить точность оценки задержки за счет сужения полосы фильтра низкой частоты в кольце обратной связи и исключения влияния помех при наличии замираний в федингующих каналах связи.

Эта задача достигается тем, что в устройстве слежения за задержкой сигнала, содержащее по меньшей мере три параллельные ветви обработки сигнала, первая ветвь из которых содержит первый перемножитель, а вторая и третья ветви - последовательно соединенные перемножитель, интегратор со сбросом и блок функционального преобразования, при этом последовательно соединенные перемножитель и интегратор со сбросом в каждой ветви обработки используют в качестве коррелятора, генератор псевдослучайных последовательностей, сумматор и управляемый генератор, при этом первые входы перемножителей являются входами устройства, вторые их входы соединены с выходами генератора псевдослучайных последовательностей, выходы двух блоков функционального преобразования соединены соответственно с первым и вторым входом сумматора, а выход управляемого генератора - с входом генератора псевдослучайных последовательностей, дополнительно введены следующие существенные конструктивные признаки:

- сформирована первая ветвь обработки аналогично второй и третьей ветвям обработки, т.е. введены последовательно соединенные интегратор со сбросом и блок функционального преобразования, при этом вход интегратора со сбросом соединен с выходом первого перемножителя, это выполнено для того, чтобы все три ветви обработки одновременно выполняли эквивалентные функции преобразования входного сигнала;

- блок оценки фединга для выявления участков пропадания сигналов и формирования соответствующей команды управления - коммутации сигнала ошибки (текущего значения дискриминационной

характеристики) и сигнала максимального значения взаимно корреляционной функции;

- блок управления для формирования кода частоты в зависимости от величины текущей расстройки и управления скоростью подстройки временного рассогласования;

- введены соответственно новые связи:

выход первого блока функционального преобразования соединен с первым входом блока оценки фединга,

выходы второго и третьего блоков функционального преобразования одновременно соединены с

соответствующими им вторым и третьим входами блока оценки фединга, с первым и вторым входами сумматора и вторым и первым входами блока управления,

первый выход блока оценки фединга является выходом информационного сигнала, второй выход блока оценки фединга соединен с четвертым входом блока управления,

третий вход блока управления соединен с сумматором,

первый и второй выходы блока управления соединены с соответствующими им первым и вторым входами управляемого генератора.

Сопоставительный анализ с прототипом заявляемого устройства слежения за задержкой показывает, что заявляемое техническое решение отличается наличием новых существенных признаков. А именно введены в устройство слежения за задержкой два принципиально важных блока - это блок оценки фединга и блок управления и соответственно введенные новые связи в схему устройства. Следовательно заявляемое устройство отвечает критерию изобретения "новизна".

Сравнение заявляемого технического решения с другими техническими решениями из известного уровня техники [1-3] не позволило выявить признаки, заявленные в отличительной части изобретения. Кроме того? из известных источников не выявлены устройства, которые позволили бы получить эквивалентный эффект, т. е. ускорить переходный процесс подстройки задержки по времени и повысить точность оценки задержки за счет исключения влияния шумов при наличии замираний в федингующих каналах связи.

Все сказанное выше позволяет сделать вывод о том, что заявляемое устройство отвечает критериям: "новизна", "существенные отличия", "неочевидность" и соответствует изобретательскому уровню.

На фиг. 1 представлена блок-схема заявляемого устройства слежения за задержкой сигнала; на фиг. 2 - блок оценки фединга, представляющий частный вариант выполнения; на фиг. 3 - блок управления, представляющий частный вариант выполнения; на фиг. 4 - устройство формирования порога для блока оценки фединга, представляющий частный вариант выполнения; на фиг. 5 - фильтр низкой частоты для блока управления, представляет частный вариант выполнения; на фиг. 6 - схема сравнения для блока управления 14; фиг. 7 иллюстрирует алгоритм работы устройства оценки фединга 13.

Устройство слежения за задержкой сигнала в соответствии с фиг. 1 содержит три

параллельные ветви обработки, каждая из которых содержит последовательно соединенные перемножитель, интегратор со сбросом и блок функционального преобразования, т.е. первая ветвь содержит первый перемножитель 1, первый интегратор со сбросом 2, первый блок функционального преобразования 3, вторая ветвь - второй перемножитель 4, второй интегратор со сбросом 5 и второй блок функционального преобразования 6, третья ветвь - третий перемножитель 7, третий интегратор со сбросом 8 и третий блок функционального преобразования 9; генератор псевдослучайных последовательностей 10, сумматор 11, управляемый генератор 12, блок оценки фединга 13 и блок управления 14. При этом первые входы перемножителей 1, 4, 7 являются входами устройства, вторые их входы соединены с выходами генератора псевдослучайных последовательностей 10, выход первого блока функционального преобразования 3 соединен с первым входом блока оценки фединга 13, выходы второго 6 и третьего 9 блоков функционального преобразования одновременно соединены соответственно со вторым и третьим входами блока оценки фединга 13, первым и вторым входом сумматора 11 и вторым и первым входами блока управления 14, первый выход блока оценки фединга 13 является выходом информационного сигнала, второй выход соединен с четвертым входом блока управления 14, третий вход которого соединен с выходом сумматора 11, а два выхода блока управления 14 соответственно соединены с первым и вторым входами управляемого генератора 12.

Блок оценки фединга 13, представляющий частный вариант выполнения, в соответствии с фиг. 2 содержит блок выбора максимума 15, устройство формирования порога 16, масштабирующий усилитель 17 и схему сравнения 18, при этом входами этого устройства являются входы блока выбора максимума 15, выход которого одновременно является выходом информационного сигнала и соединен с входом устройства формирования порога 16 и входом масштабирующего усилителя 17, выходы которых соединены соответственно с первым и вторым входами схемы сравнения 18, выход которой является вторым выходом этого устройства.

Блок управления 14 представляет частный вариант выполнения и в соответствии с фиг. 3 содержит сумматор 19, первый управляемый ключ 20, второй управляемый ключ 21, первый фильтр низкой частоты 22, второй фильтр низкой частоты 23 и схему сравнения 24, при этом первый и второй входы сумматора 19 являются первым и вторым входами блока управления 14, выход сумматора 19 соединен с первым входом первого управляемого ключа 20, первый вход второго управляемого ключа 21 является третьим входом блока управления 14, вторые входы первого 20 и второго 21 управляемых ключей являются четвертыми управляемыми входами этого блока, выходы управляемых ключей соответственно соединены с первыми входами первого 22 и второго 23 фильтров низкой частоты, при этом выход первого фильтра низкой частоты 22 соединен с первым входом схемы сравнения 24, выход

второго фильтра низкой частоты 23 одновременно является первым выходом устройства и соединен со вторым входом схемы сравнения 24, один выход которой одновременно соединен со вторыми входами первого 22 и второго 23 фильтров низкой частоты, а другой выход схемы сравнения является вторым выходом устройства.

Устройство формирования порога 16 для блока оценки фединга 13 представляет частный вариант выполнения и в соответствии с фиг. 4 содержит сдвиговой регистр 25, содержащий  $n$  ячеек, и блок выбора максимума 26, при этом входом устройства является вход сдвигового регистра,  $n$  выходов его соединены с соответствующими им входами блока выбора максимума 26, выход которого является выходом устройства.

Блок-схема фильтров низкой частоты 22 и 23 для блока управления 14 представляет частный вариант выполнения и в соответствии с фиг. 5 содержит  $q$ -фильтров низкой частоты 27-1 - 27- $q$ , параллельно включенных, и мультиплексор 28, при этом входы фильтров низкой частоты 27-1 - 27- $q$  являются первыми входами этого устройства, выход их соединен с соответствующими им первыми входами мультиплексора 28, второй вход которого является вторым входом этого устройства, а выход которого является выходом устройства. Структурная схема, которая приведена на фиг. 5 в качестве примера, аналогична для фильтров низкой частоты 22 и 23, т. е. функциональные характеристики этих фильтров должны быть идентичны.

Схема сравнения 24 для блока управления 14 представляет частный вариант выполнения и в соответствии с фиг. 6 содержит  $i$ -аттенюаторов 29-1 - 29- $i$  и соответственно им схем сравнения 30-1 - 30- $i$ , первый 31 и второй 32 преобразователи кода, при этом первым входом этого устройства являются входы аттенюаторов 29-1 - 29- $i$ , выходы которых соединены с первыми входами схем сравнения 30-1 - 30- $i$ , второй вход которых является вторым входом этого устройства, выходы схем сравнения 30-1 - 30- $i$  одновременно соединены с соответствующими им входами первого 31 и второго 32 преобразователей кода, выходы которых являются выходами этого устройства.

Фиг. 7 иллюстрирует алгоритм работы блока оценки фединга 13, где

а иллюстрирует форму федингующего сигнала на выходе масштабирующего усилителя 17 (фиг. 2);

в иллюстрирует выходной сигнал устройства формирования порога 16 (фиг. 2), который является сигналом сравнения;

с иллюстрирует выходной управляющий сигнал схемы сравнения 18 (фиг. 2).

Устройство слежения за задержкой сигнала в соответствии с фиг. 1 работает следующим образом. На первые входы перемножителей 1, 4 и 7 поступает входной широкополосный сигнал, а вторые входы перемножителей 1, 4 и 7 принимают псевдослучайные последовательности с генератора псевдослучайных последовательностей 10.

Генератор псевдослучайных последовательностей 10 формирует

псевдослучайные последовательности в соответствии с формой входного широкополосного сигнала.

Последовательно соединенные перемножитель и интегратор со сбросом в каждой из ветвей обработки выполняют функцию коррелятора.

Выходной сигнал с выхода первого перемножителя 1, пройдя через первый интегратор со сбросом 2, соответствует взаимно корреляционной функции между входным широкополосным сигналом и сигналом, генерируемым генератором псевдослучайных последовательностей 10, с задержкой относительно принятого сигнала, равной "0". В то же время выходной сигнал с первого перемножителя 1 может использоваться как информационный.

Выходной сигнал с выхода второго перемножителя 4, пройдя через второй интегратор со сбросом 5, соответствует взаимно корреляционной функции между входным широкополосным сигналом и сигналом, генерируемым генератором псевдослучайных последовательностей 10, сдвинутым в сторону опережения на  $\Delta t$ .

Выходной сигнал с выхода третьего перемножителя 7, пройдя через третий интегратор со сбросом 8, соответствует взаимно корреляционной функции между входным широкополосным сигналом и сигналом, генерируемым генератором псевдослучайных последовательностей 10, сдвинутым в сторону отставания на  $\Delta t$ .

Таким образом, на выходе трех корреляторов (на выходе первого интегратора со сбросом 2, второго интегратора со сбросом 5 и третьего интегратора со сбросом 8) будет сформировано значение взаимно корреляционной функции входного сигнала и его копий.

Далее, в зависимости от вида входного сигнала на выходе корреляторов (интеграторов со сбросом 2, 5 и 8) могут возникнуть несколько возможных ситуаций, в частности когда входной сигнал зависит от дополнительного параметра, известной или случайной фазы, или модулирован информационным сигналом. Эти параметры сигнала непосредственно влияют на выходную взаимно корреляционную функцию с первого блока функционального преобразования 3, второго блока функционального преобразования 6 и третьего блока функционального преобразования 9.

Поэтому в каждом индивидуальном случае необходимо использовать конкретные для данного случая алгоритмы, в соответствии с которыми следует преобразовать взаимно корреляционную функцию так, чтобы уйти от зависимости дополнительных параметров входного сигнала и выделить его взаимно корреляционную функцию в полном объеме (то есть получить максимально возможный энергетический отклик).

Например, для сигнала с неизвестной фазой  $\varphi$  в блоках функционального преобразования 3, 6 и 9 выполняется алгоритм вычисления модуля взаимно корреляционной функции следующим образом: выделяются ее  $\sin$  и  $\cos$  составляющие и далее реализуется преобразование

$$\sqrt{BK\Phi^2 \cdot \cos^2 \varphi + BK\Phi^2 \cdot \sin^2 \varphi} = BK\Phi,$$

где BKΦ - взаимно корреляционная функция.

Это позволяет уйти от зависимости по фазе.

В другом случае если входной сигнал модулирован информационным сообщением, то для снятия этой модуляции в блоках функционального преобразования 3, 6 и 9 выполняется операция возведения взаимно корреляционной функции в квадрат (или умножение величины взаимно корреляционной функции саму на себя).

В первом блоке функционального преобразования 3 формируется взаимно корреляционная функция входного сигнала и его копии с задержкой относительно принятого сигнала, равной "0".

Во втором блоке функционального преобразования 6 формируется взаимно корреляционная функция входного сигнала и его копии, сдвинутой на +Δτ, а в третьем блоке функционального преобразования 9 формируется взаимно корреляционная функция входного сигнала и его копии, сдвинутой на Δτ. Далее выходные сигналы с блоков функционального преобразования 6 и 9 поступают на сумматор 11, который используется для формирования дискриминационной характеристики устройства.

Сформированные взаимно корреляционные функции входного сигнала и его копий с блоков функционального преобразования 3, 6 и 9 поступают на входы блока оценки фединга 13. В этом устройстве выбирается максимальный из поступивших сигналов, который может использоваться как информационный.

Причем информационный сигнал может быть извлечен в процессе работы устройства в любой необходимый момент времени и с выхода любого из устройств, например с выхода первого перемножителя 1, или с выхода первого интегратора со сбросом 2, или с выхода первого блока функционального преобразователя 3, или с выхода блока выбора максимума 15, расположенного в блоке оценки фединга 13. Однако наиболее предпочтительным является съём информационного сигнала с выхода блока выбора максимума 15, так как это дает дополнительный выигрыш в помехозащищенности за счет возможности использования информационных сообщений как "центрального" канала, так и из "опережающего" и "запаздывающего" каналов.

Далее максимальный из поступивших сигналов в блок оценки фединга 13 одновременно оценивается по уровню принятого сигнала за время нескольких периодов фединга и масштабируется, затем сравниваются уровни отфильтрованного и отмасштабированного сигналов, и выносится решение о наличии фединга. Выходной сигнал блока оценки фединга 13 поступает в качестве управляющего сигнала на блок управления 14.

Наряду с замиранием сигнала, вызванным федингом, может быть и пропадание сигнала, например, при работе в обратном канале CDMA, где характер передачи информации носит импульсный характер. В соответствии с

этим блок оценки фединга 13 формирует управляющие команды на блок управления 14. Блок управления 14 в соответствии с этим управляющим сигналом формирует код частоты в интервалы времени, когда фединг не обнаружен, или в интервалы времени, когда сигнал отсутствует. Величина кода пропорциональна временной расстройке (ошибке), которая формируется в сумматоре 11. Выходные сигналы блока управления 14 (с соответствующими кодом и знаком) являются управляющими сигналами для управляемого генератора 12.

Затем выходной сигнал с управляемого генератора 12 поступает на генератор псевдослучайных последовательностей 10, в результате чего кольцо устройства замыкается. С генератора псевдослучайных последовательностей 10 выходные сигналы (с текущим рассогласованием по времени) подаются на входы соответствующих перемножителей 1, 4 и 7.

Блок оценки фединга 13 введен для выявления участков пропадания сигналов и формирования соответствующей команды управления - коммутации сигнала ошибки (текущего значения дискриминационной характеристики) и сигнала максимального значения взаимно корреляционной функции.

Блок оценки фединга в соответствии с фиг. 2 работает следующим образом.

На входы блока выбора максимума 15 поступают выходные сигналы с трех блоков функционального преобразования 3, 6 и 9 для сравнения и выбора максимальной взаимно корреляционной функции из преобразованных в блоках функционального преобразования взаимно корреляционных функций (входного сигнала и его копий). Выходной сигнал с блока выбора максимума 15 одновременно является информационным сигналом и поступает на вход устройства формирования порога 16 и вход масштабирующего усилителя 17.

В случаях, когда информационный сигнал формируется (извлекается) с выхода блока выбора максимума 15, функциональные преобразователи выбирают максимальные значения взаимно корреляционных функций без устранения информационного сообщения на их выходах.

Устройство формирования порога 16 оценивает максимальный уровень принятого сигнала за время нескольких периодов фединга. Выходной сигнал этого устройства 16 является сигналом сравнения.

Масштабирующий усилитель 17, на вход которого также поступает выходной сигнал с блока выбора максимума 15, выбирает подходящий уровень сигнала (т. е. как ослабляет его, так и усиливает его).

Выходные сигналы с устройства формирования порога 16 и масштабирующего усилителя 17 поступают на схему сравнения 18 для выделения интервалов замирания входного федингующего сигнала и формирования управляющего выходного сигнала. Схема сравнения 18 формирует управляющий сигнал двух видов. Если уровень выходного сигнала с масштабирующего усилителя 17 превышает уровень выходного сигнала с устройства формирования порога 16 (фединг не обнаружен), то с выхода схемы сравнения 18 появляется выходной управляющий сигнал на



замыкание цепей в блоке управления кодом частоты подстройки 14. В противоположном случае формируется выходной управляющий сигнал на размыкание этих цепей в устройстве 14.

Блок управления 14 в соответствии с управляющим сигналом с блока оценки фединга 13 формирует код частоты в интервалы времени, когда сигнал фединга не обнаружен, или в интервалы времени, когда сигнал отсутствует.

Блок управления 14 в соответствии с фиг. 3 работает следующим образом.

Выходной сигнал с блоков функционального преобразования 6 и 9 поступает на входы сумматора 19, который суммирует эти сигналы, в результате чего будет получен выходной сигнал, соответствующий максимальному значению взаимно корреляционной функции.

Выходной сигнал с сумматора 19 с максимальным значением взаимно корреляционной функции поступает на первый вход первого управляемого ключа 20. И далее первый ключ 20 осуществляет коммутацию в соответствии с управляющим сигналом с устройства оценки фединга 13, который поступает на второй вход ключа 20. Первый управляемый ключ 20 осуществляет коммутацию следующим образом: по сигналу, выше уровня сформированного сигнала сравнения (в схеме сравнения 18) - ключ открыт и цепь замкнута, а по сигналу, ниже уровня сформированного сигнала - ключ закрыт и цепь разомкнута.

Выходной сигнал с сумматора 11 с текущим значением дискриминационной характеристики поступает на первый вход второго ключа 21, а на второй вход этого ключа поступает выходной управляющий сигнал с блока оценки фединга 13. Вторым управляемым ключом 21 осуществляется коммутация следующим образом: по сигналу выше уровня сформированного сигнала сравнения (в схеме сравнения 18) - ключ открыт и цепь замкнута, а по сигналу, ниже уровня сформированного сигнала - ключ закрыт и цепь разомкнута.

Выходной сигнал с первого ключа 20 поступает на первый фильтр низкой частоты 22 для фильтрации сигнала максимального значения взаимно корреляционной функции (выходного сигнала) с сумматора 19. Выходной отфильтрованный сигнал поступает на первый вход схемы сравнения 24.

Выходной сигнал со второго ключа 21 поступает на второй фильтр низкой частоты 23 для фильтрации текущего значения дискриминационной характеристики (выходного сигнала) с сумматора 11. Выходной отфильтрованный сигнал со второго фильтра низкой частоты 23 одновременно поступает на второй вход управляемого генератора 12, является управляющим (по знаку расстройки) для него и поступает на второй вход схемы сравнения 24, и является управляющим сигналом (о величине расстройки) для нее.

Схема сравнения 24 формирует код управления полосой первого 22 и полосой второго 23 фильтров низкой частоты в зависимости от величины ошибки временного рассогласования, которая соответствует величине дискриминационной характеристики, и формирования кода

управления частотой подстройки в зависимости от величины расстройки (ошибки). На входы схемы сравнения 24 поступают выходные сигналы соответственно первого 22 и второго 23 фильтров низкой частоты, первый выходной сигнал схемы сравнения 24 является управляющим для первого 22 и второго 23 фильтров низкой частоты, а второй выходной сигнал является управляющим для управляемого генератора 12.

Устройство формирования порога 16 для блока оценки фединга 13 представляет частный вариант выполнения и в соответствии с фиг. 4 работает следующим образом. Выходной сигнал с блока выбора максимума 15 поступает на вход сдвигового регистра 25,  $n$  выходных сигналов со сдвигового регистра 25 поступают на соответствующие им входы блока выбора максимума 26, выходной сигнал которого (как сигнал сравнения) поступает на схему сравнения 18.

Фильтры низкой частоты 22 и 23, которые приведены в качестве примера для практического использования в блоке управления 14, в соответствии с фиг. 5 работают следующим образом.

В это устройство включены фильтры низкой частоты 27-1 - 27- $q$ , параллельно включенные и с разными полосами пропускания, на входы которых одновременно поступают выходные сигналы с управляемых первого 20 и второго 21 ключей. А выходы фильтров 27-1 - 27- $q$  коммутируются через мультиплексор 28 по команде выходного управляющего сигнала со схемы сравнения 24. В результате чего мультиплексор 28 выбирает соответствующий фильтр с необходимой полосой пропускания и подает отфильтрованный сигнал на схему сравнения 24. Следовательно, включением необходимого фильтра регулируется полоса пропускания в кольце обратной связи.

Для практической реализации фильтр низкой частоты должен включать по меньшей мере два фильтра низкой частоты и один мультиплексор.

Схема сравнения 24 для блока управления 14 представляет частный вариант выполнения и в соответствии с фиг. 6 работает следующим образом. На входы аттенуаторов 29-1 - 29- $i$  поступает выходной сигнал с фильтра низкой частоты 22, который пропорционально делится аттенуаторами. Выходные сигналы аттенуаторов 29-1 - 29- $i$ , являющиеся пороговыми сигналами и соответствующие определенным величинам расстроек, поступают на первые входы соответствующих им схем сравнения 30-1 - 30- $i$ .

На вторые входы схем сравнения 30-1 - 30- $i$  одновременно поступает выходной сигнал с фильтра низкой частоты 23, соответствующий текущему значению временной расстройки псевдослучайной последовательности относительно принятого сигнала.

В схемах сравнения 30-1 - 30- $i$  сравниваются абсолютное значение выходного сигнала с фильтра низкой частоты 23 с выходными сигналами аттенуаторов 29-1 - 29- $i$ . Затем схемы сравнения 30-1 - 30- $i$  формируют управляющую команду в соответствии с величиной расстройки,

которая в качестве выходного управляющего сигнала поступает на входы первого 31 и второго 32 преобразователей кода, которые в соответствии с этой командой формируют код.

Выходной сигнал первого преобразователя кода 31 (соответствующий текущему значению временной расстройки псевдослучайной последовательности относительно принятого сигнала) поступает на управляемый генератор 12. Выходной сигнал второго преобразователя кода 32 представляет код управления полосой фильтра и поступает на управляющие входы первого 22 и второго 23 фильтров низкой частоты.

Фиг. 7 иллюстрирует алгоритм работы устройства оценки фединга, где

а иллюстрирует форму федингующего сигнала на выходе масштабирующего усилителя 17 (фиг. 2);

в иллюстрирует выходной сигнал устройства формирования порога 16 (фиг. 2), который является сигналом сравнения;

с иллюстрирует выходной управляющий сигнал схемы сравнения 18 (фиг. 2).

Таким образом, подробно рассмотрев работу заявляемого устройства слежения за задержкой сигнала, а также схемы блоков, входящих в это устройство и их работу, еще раз обратимся к фиг. 1 и рассмотрим принципы обработки входного сигнала (в том числе широкополосного сигнала), заложенные в заявляемом изобретении.

Во-первых, ширина спектра сигнала, в том числе и широкополосного, связана с формой его корреляционной функции преобразованием Фурье. При этом чем шире полоса спектра, в которой обрабатывается сигнал, тем уже его корреляционная функция и меньше время корреляции между соседними некоррелированными отсчетами анализируемого сигнала. Поэтому возможно, варьируя частотной полосой, в которой производится обработка сигнала, иметь на одном и том же временном интервале различное число некоррелированных значений отсчетов оцениваемого сигнала. Этот принцип и заложен в заявляемое устройство слежения за задержкой сигнала для улучшения его динамических характеристик, т. е. быстродействие в режиме захвата. Под режимом захвата здесь подразумевается переходный процесс подстройки задержки при больших расстройках по времени.

Скорость подстройки временного рассогласования между входным и опорным сигналами в устройстве слежения за задержкой сигнала определяется инерционностью (шириной частотной полосы) фильтров низкой частоты 22 и 23 (фиг. 3) в кольце обратной связи. На выходе первого фильтра низкой частоты 22 (фиг. 3) формируется сигнал максимального значения взаимно корреляционной функции. На выходе второго фильтра низкой частоты 23 формируется сигнал ошибки временного рассогласования между входным широкополосным сигналом и псевдослучайной последовательностью с генератора псевдослучайных последовательностей 10. Чем уже полоса первого 22 и второго 23 фильтров низкой частоты кольца обратной связи, тем больше

времени необходимо для оценки некоррелированных значений ошибки по задержке и тем с меньшей скоростью возможна подстройка управляемого генератора 12 и генератора псевдослучайных последовательностей 10 в кольце устройства слежения за задержкой.

И наоборот, при широкой полосе первого 22 и второго 23 фильтров низкой частоты в кольце обратной связи (фиг. 3) требуется меньше времени для получения оценки некоррелированных значений ошибки по задержке. В результате чего подстройку по задержке можно выполнять чаще (пропорционально полосе первого 22 и второго 23 фильтров). Следовательно, скорость подстройки временного рассогласования может быть увеличена, за счет чего сокращается время переходного процесса устройства слежения за задержкой сигнала в режиме захвата.

Во-вторых, в условиях многолучевого распространения входной сигнал устройства слежения за задержкой представляет собой результат интерференционного сложения нескольких сигналов. При этом, в зависимости от параметров конкретной комбинации поступивших компонент сигнала, возможен фединг. Для мобильных систем связи эта картина усложняется и принимает динамический характер. Исключение интервалов пропадания входного широкополосного сигнала из процесса формирования сигнала ошибки и подстройки псевдослучайной последовательности по задержке относительно входного сигнала увеличивает помехозащищенность устройства слежения за задержкой. Имея возможность идентификации временных интервалов пропадания входного сигнала за счет фединга и импульсного характера передачи информации в системе CDMA, можно адаптироваться к этой обстановке, меняя алгоритм обработки сигнала.

Один из возможных вариантов - это коммутация сигнала ошибки (текущего значения дискриминационной характеристики), поступающего на вход фильтра низкой частоты кольца обратной связи 23 и сигнала максимального значения взаимно корреляционной функции, поступающего на вход фильтра низкой частоты 22 в зависимости от величины замирания обрабатываемого сигнала. Для выполнения этой операции в заявляемое устройство введены блок оценки фединга 13, на выходе которого формируется управляющий (коммутирующий) сигнал и блок управления 14, который использует этот сигнал для формирования кода частоты в зависимости от величины текущей расстройки и управления скоростью подстройки временного рассогласования.

Алгоритм управления (коммутации) заключается в следующем: по сигналу, превышения уровня сформированного сигнала сравнения (в схеме сравнения 18) - первый и второй ключи (20 и 21, фиг. 3) открыты, и цепь обратной связи замкнута, а по сигналу, ниже уровня сформированного сигнала сравнения - ключи закрыты и цепь разомкнута.

Таким образом, использование в заявляемом устройстве возможности адаптации по двум описанным выше

параметрам (полоса фильтра низкой частоты в кольце обратной связи в зависимости от величины ошибки расстройки по времени и признак наличия фединга) позволило создать изобретение - устройство слежения за задержкой сигнала, в том числе для федингующего канала связи. Это устройство обладает существенным преимуществом по сравнению с известными решениями в данной области техники, так как оно ускоряет переходный процесс подстройки задержки по времени и повышает точность оценки задержки.

### Формула изобретения:

1. Устройство слежения за задержкой сигнала, содержащее по меньшей мере три параллельные ветви обработки, первая ветвь из которых содержит первый перемножитель, а вторая и третья ветви - последовательно соединенные перемножитель, интегратор со сбросом и блок функционального преобразования, при этом последовательно соединенные перемножитель и интегратор со сбросом в каждой ветви обработки является коррелятором, генератор псевдослучайных последовательностей, сумматор и управляемый генератор, при этом первые входы перемножителей являются входами устройства, вторые их входы соединены с выходами генератора псевдослучайных последовательностей, выходы двух блоков функционального преобразования соединены соответственно с первым и вторым входами сумматора, а выход управляемого генератора - с входом генератора псевдослучайных последовательностей, отличающееся тем, что первая ветвь обработки дополнительно содержит последовательно соединенные интегратор со сбросом и блок функционального преобразования, при этом вход интегратора со сбросом соединен с выходом первого перемножителя, введены блок оценки фединга и блок управления, при этом выход первого блока функционального преобразования соединен с первым входом блока оценки фединга, выходы второго и третьего блоков функционального преобразования одновременно соединены соответственно со вторым и третьим входами блока оценки фединга, первым и вторым входами сумматора и вторым и первым входами блока управления, первый выход блока оценки фединга является выходом информационного сигнала, второй выход соединен с четвертым входом блока управления, третий вход которого соединен с выходом сумматора, а два выхода блока управления соответственно соединены с первым и вторым входами управляемого генератора.

2. Устройство по п.1, отличающееся тем, что блок оценки фединга содержит узел выбора максимума, формирователь порога, масштабирующий усилитель и элемент сравнения, при этом входами блока оценки

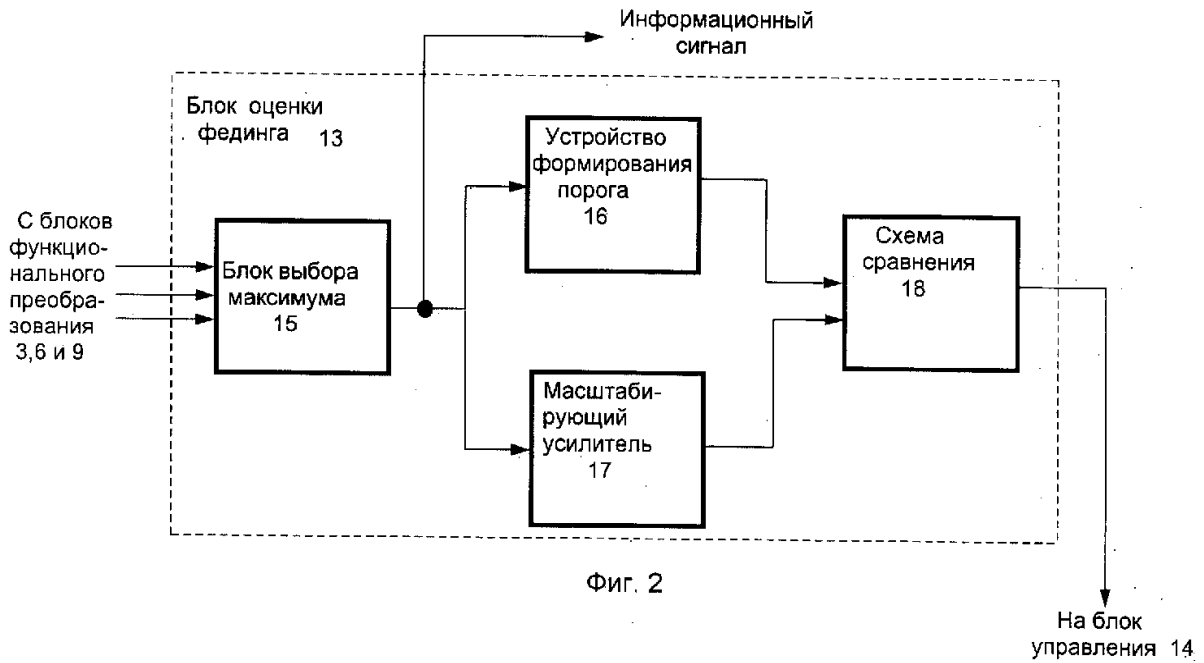
фединга являются входы узла выбора максимума, выход которого является выходом информационного сигнала и соединен с входом формирователя порога и входом масштабирующего усилителя, выходы которых соединены с первым и вторым входами элемента сравнения, выход которого является выходом управляющего сигнала блока оценки фединга.

3. Устройство по п.2, отличающееся тем, что формирователь порога содержит сдвиговой регистр, содержащий  $n$  ячеек, и элемент выбора максимума, при этом входом формирователя порога является вход сдвигового регистра,  $n$  выходов которого соединены с соответствующими входами элемента выбора максимума, выход которого является выходом формирователя порога.

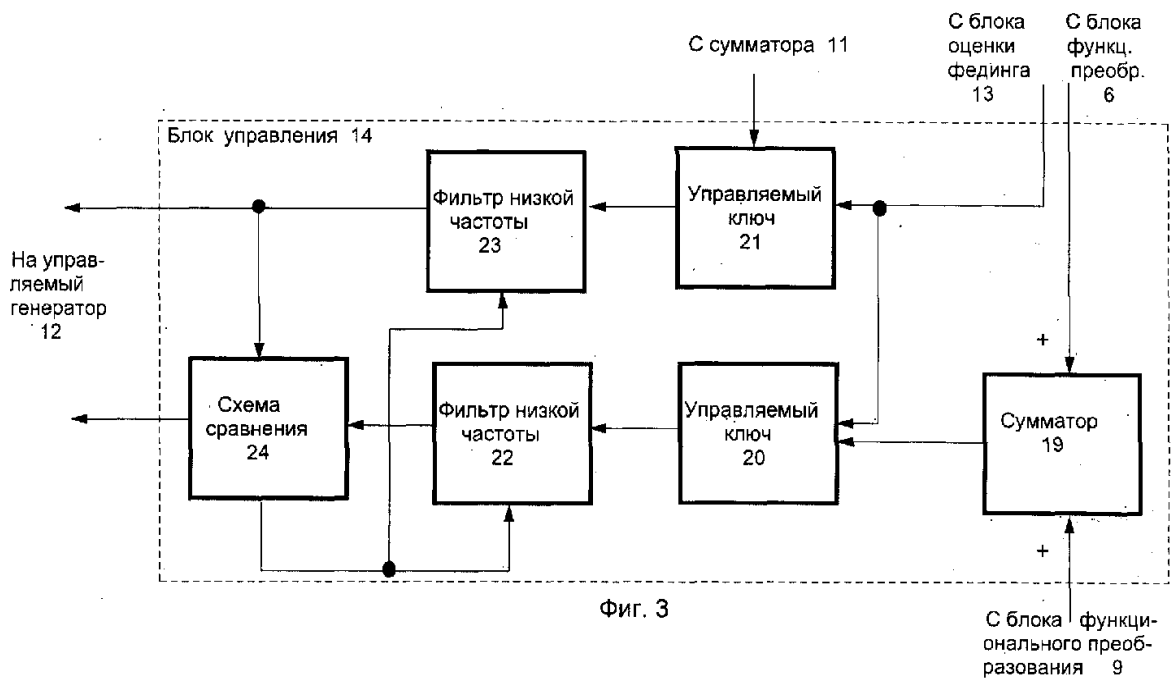
4. Устройство по п.1, отличающееся тем, что блок управления содержит сумматор, первый управляемый ключ, второй управляемый ключ, первый узел фильтрации, второй узел фильтрации и узел сравнения, при этом первый и второй входы сумматора являются первым и вторым входами блока управления, выход сумматора соединен с первым входом первого управляемого ключа, первый вход второго управляемого ключа является третьим входом блока управления, вторые входы первого и второго управляемых ключей являются четвертым входом блока управления, выходы управляемых ключей соответственно соединены с первыми входами первого и второго узлов фильтрации, при этом выход первого узла фильтрации соединен с первым входом узла сравнения, выход второго узла фильтрации является первым выходом блока управления и соединен со вторым входом узла сравнения, один выход которого подключен ко вторым входам первого и второго узлов фильтрации, а другой выход узла сравнения является вторым выходом блока управления.

5. Устройство по п.4, отличающееся тем, что каждый узел фильтрации содержит  $q$  фильтров низкой частоты, входы которых соединены и являются первым входом узла фильтрации, а выходы  $q$  фильтров низкой частоты подключены к соответствующим первым  $q$  - входам мультиплексора, второй вход которого является и вторым входом узла фильтрации, а выход мультиплексора является выходом узла фильтрации.

6. Устройство по п.4, отличающееся тем, что узел сравнения содержит  $i$  аттенуаторов и соответственно им элементов сравнения, первый и второй преобразователи кода, при этом входом узла сравнения являются входы аттенуаторов, выходы которых соединены с первыми входами элементов сравнения, второй вход которых является вторым входом узла сравнения, выходы элементов сравнения подключены к соответствующим им  $i$  - входам первого и второго преобразователей кода, выходы которых являются выходами узла сравнения.



Фиг. 2



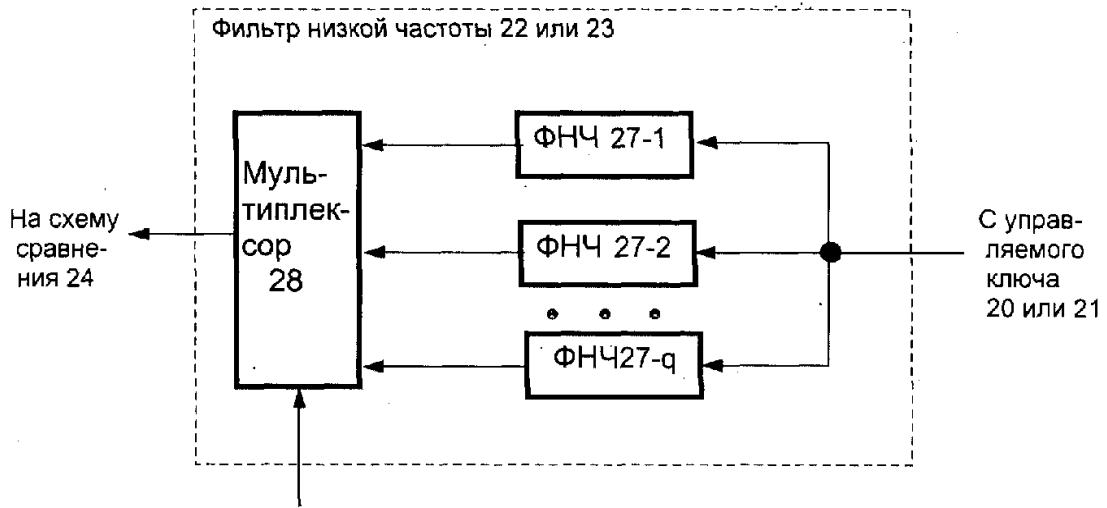
Фиг. 3



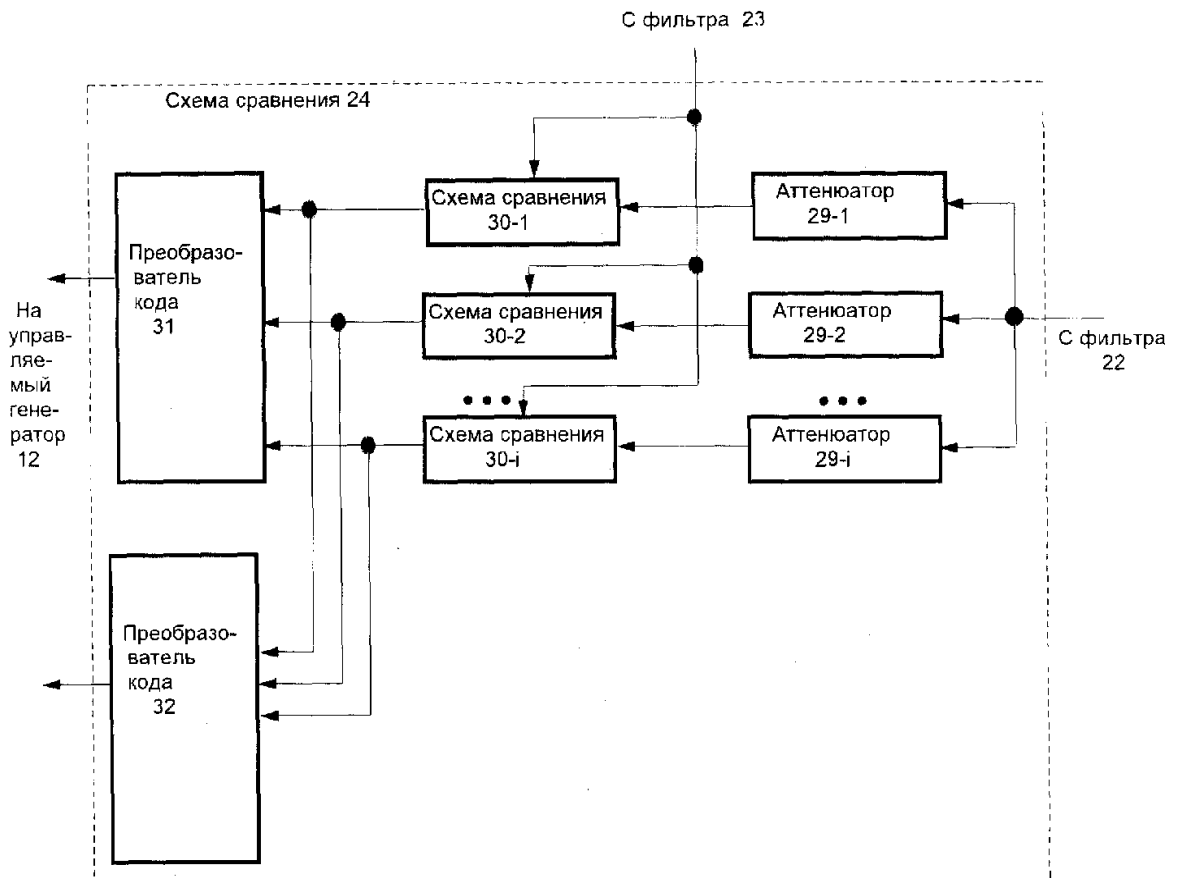
Фиг. 4.

RU 2128398 C1

RU 2128398 C1



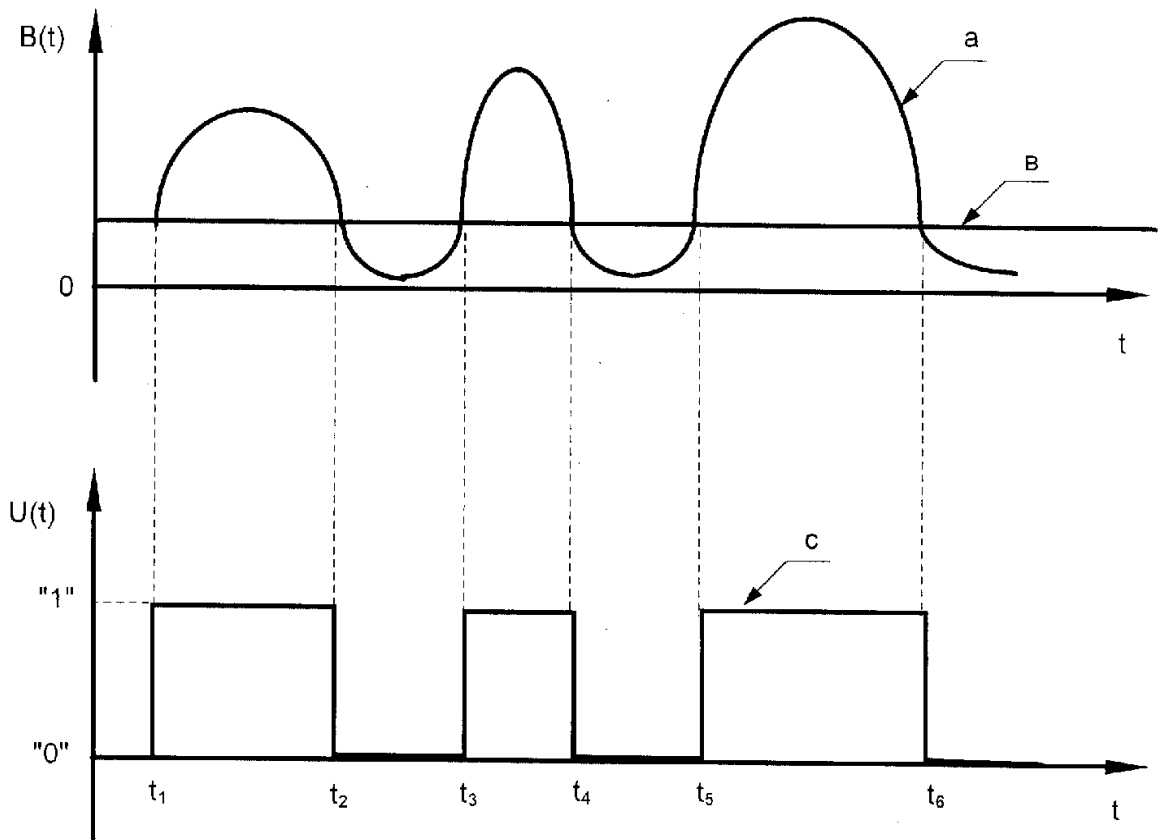
Фиг. 5



Фиг. 6

RU 2128398 C1

RU 2128398 C1



Фиг. 7